

**JP 60229366**  
**303.451us6**

DIALOG(R)File 347:JAPIO  
(c) 2002 JPO & JAPIO. All rts. reserv.  
01750866 \*\*Image available\*\*

**SEMICONDUCTOR MEMORY DEVICE**

PUB. NO.: 60-229366 [JP 60229366 A]  
PUBLISHED: November 14, 1985 (19851114)  
INVENTOR(s): OCHII KIIYOBUMI MASUOKA FUJIO  
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP (Japan)  
APPL. NO.: 59-085617 [JP 8485617]  
FILED: April 27, 1984 (19840427)  
INTL CLASS: [4] H01L-027/10; H01L-027/08; H01L-029/40; H01L-029/78  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2 (INFORMATION PROCESSING -- Memory Units)  
JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)  
JOURNAL: Section: E, Section No. 392, Vol. 10, No. 82, Pg. 142, April 02, 1986 (19860402)

**ABSTRACT**

PURPOSE: To fine the pitch width of a memory cell and memory itself by connecting a first conduction type wiring section to a drain and a gate through an insulating film on the gate and connecting a second conduction type wiring section to the drain through said insulating film.

CONSTITUTION: Gate electrodes 57 are formed by first layer polycrystalline silicon containing a first conduction type impurity, and a second layer polycrystalline silicon wiring section 62a containing the first conduction type impurity is shaped on a first layer inter-layer insulating film 59 coating the gate electrodes 57, and connected to a first conduction type drain region and the gate electrodes through a contact hole 61. A second layer polycrystalline silicon wiring section 63a containing a second conduction type impurity is shaped on the inter-layer insulating film while being connected to said wiring section, and connected to a second conduction type drain region 55 through a contact hole 61.

## ⑫ 公開特許公報(A) 昭60-229366

⑤ Int.Cl.<sup>4</sup>H 01 L 27/10  
27/08  
29/40  
29/78

識別記号

1 0 2

庁内整理番号

6655-5F  
6655-5F  
7638-5F  
8422-5F

④ 公開 昭和60年(1985)11月14日

審査請求 未請求 発明の数 1 (全14頁)

⑬ 発明の名称 半導体記憶装置

⑭ 特 願 昭59-85617

⑮ 出 願 昭59(1984)4月27日

⑯ 発 明 者 落 井 清 文 川崎市幸区小向東芝町1番地 株式会社多摩川工場内

⑰ 発 明 者 舩 岡 富 士 雄 川崎市幸区小向東芝町1番地 株式会社多摩川工場内

⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑲ 代 理 人 弁 理 士 鈴 江 武 彦 外 2 名

## 明 細 書

## 1. 発明の名称

半導体記憶装置

## 2. 特許請求の範囲

(1) 一対のCMOSインバータを有し、一方のCMOSインバータのゲート電極を他方のCMOSインバータの各トランジスタのドレイン領域に配線を介して互いに交差接続して形成されたフリップフロップ回路と、このフリップフロップ回路の各ノードに接続された一対の転送用MOSトランジスタと、から構成されるメモリセルを半導体基板上にマトリックス状に集積してなる半導体記憶装置において、前記ゲート電極を第1導電型の不純物を含む第1層多結晶シリコンにより形成し、かつ前記配線を該ゲート電極を覆う第1層の層間絶縁膜上に設けられ、第1導電型のドレイン領域および前記ゲート電極にコンタクトホールを介して接続された第1導電型の不純物を含む第2層多結晶シリコン配線部と、前記層間絶縁膜上に該配線部と連結して設けられ、第2導電型のドレイン領域

域にコンタクトホールを介して接続される第2導電型の不純物を含む第2層多結晶シリコン配線部と、前記各配線部上に張付けられた金属層とから構成したことを特徴とする半導体記憶装置。

(2) 金属層がタングステン、モリブデン、タンタル、白金から選ばれる高融点金属からなることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(3) 配線を覆う第2層の層間絶縁膜上に一方の電源となる金属配線を設け、かつ該金属配線を、一方のCMOSインバータのソース領域と、このソース領域が形成される基板領域をバイアスするための該ソース領域と反対導電型の拡散領域との両者にコンタクトホールを介して接続したことを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

## 3. 発明の詳細な説明

(発明の技術分野)

本発明は、半導体記憶装置に関し、特に一対のCMOSインバータを有する6トランジスタ型の

半導体記憶装置に係わる。

(発明の技術的背景とその問題点)

一対のCMOSインバータを有する6トランジスタ型の半導体記憶装置(スタティックメモリ)は、第1図に示す回路構成になっている。即ち、図中の $Q_{p1}$ 、 $Q_{n1}$ は一方のCMOSインバータを形成するpチャンネルMOSトランジスタ、nチャンネルMOSトランジスタである。図中の $Q_{p2}$ 、 $Q_{n2}$ は、他方のCMOSインバータを形成するpチャンネルMOSトランジスタ、nチャンネルMOSトランジスタである。一方のCMOSインバータのゲートは他方のCMOSインバータの各トランジスタの共通のドレイン部分 $D_2$ に、他方のCMOSインバータのゲートは一方のCMOSインバータの共通のドレイン部分 $D_1$ に互いに交差接続してフリップフロップ回路を構成している。前記各pチャンネルMOSトランジスタ $Q_{p1}$ 、 $Q_{p2}$ のソースは $V_{DD}$ に接続されており、かつ前記各nチャンネルMOSトランジスタ $Q_{n1}$ 、 $Q_{n2}$ は夫々 $V_{SS}$ に接続されている。

しが行われる際にはオン状態となって、それらトランジスタ $Q_{n3}$ 、 $Q_{n4}$ のドレイン側に接続された前記ビットライン $BL_1$ 、 $BL_2$ とフリップフロップ回路との間の情報伝達が行われる。

上述したメモリセルに情報を書込む場合、例えば共通ドレイン部分 $D_1$ を $V_{SS}$ 電位、共通のドレイン部分 $D_2$ を $V_{DD}$ 電位に設定する場合には、ビットライン $BL_1$ を $V_{SS}$ レベル、ビットライン $BL_2$ を $V_{DD}$ レベルに設定しておき、ワードライン $WL$ によりトランスファゲートとしてのトランジスタ $Q_{n3}$ 、 $Q_{n4}$ をオンさせる。一方、読み出しの場合には、ビットライン $BL_1$ 、 $BL_2$ を図示しないセンスアップ回路に接続してトランスファゲートとしてのトランジスタ $Q_{n3}$ 、 $Q_{n4}$ をオンさせる。

前述した6トランジスタ型のスタティックメモリのメモリセルは、従来、第2図～第4図に示す構造のものが知られている。図中の $Q_{p1}$ 、 $Q_{n1}$ は、一方のCMOSインバータを形成するpチャンネルMOSトランジスタ、nチャンネル

前記フリップフロップ回路のトランジスタ $Q_{p1}$ 、 $Q_{n1}$ の共通のドレイン部分 $D_1$ 及びトランジスタ $Q_{p2}$ 、 $Q_{n2}$ の共通のドレイン部分 $D_2$ は夫々 $V_{DD}$ 電位、 $V_{SS}$ 電位に設定され、情報を保持している。例えば、共通のドレイン部分 $D_1$ が $V_{DD}$ 電位の時、トランジスタ $Q_{p2}$ がオフ、トランジスタ $Q_{n2}$ がオンとなって共通のドレイン部分 $D_2$ は $V_{SS}$ 電位となり、そのためトランジスタ $Q_{p1}$ がオン、トランジスタ $Q_{n1}$ がオフとなる。また、 $Q_{n3}$ 、 $Q_{n4}$ は夫々トランスファゲートとして働くnチャンネルMOSトランジスタであり、一方のMOSトランジスタ $Q_{n3}$ は前記フリップフロップ回路のノードに、他方のMOSトランジスタ $Q_{n4}$ は同フリップフロップのノードに接続されている。前記トランジスタ $Q_{n3}$ 、 $Q_{n4}$ のドレイン側には、夫々ビットライン $BL_1$ 、 $BL_2$ が接続され、かつ各トランジスタ $Q_{n3}$ 、 $Q_{n4}$ のゲートはワードライン $WL$ に接続されている。前記トランジスタ $Q_{n3}$ 、 $Q_{n4}$ はメモリセルが選択され、書込み、読み出

MOSトランジスタ、図中の $Q_{p2}$ 、 $Q_{n2}$ は、他方のCMOSインバータを形成するpチャンネルMOSトランジスタ、nチャンネルMOSトランジスタであり、これらCMOSインバータは一方のゲートを他方の共通のドレイン部分に互いに交差接続することによりフリップフロップ回路を構成している。また、図中の $Q_{n3}$ 、 $Q_{n4}$ は前記各nチャンネルMOSトランジスタ $Q_{n1}$ 、 $Q_{n2}$ のドレイン側に接続されたトランスファゲートとしてのnチャンネルMOSトランジスタである。

前記pチャンネルMOSトランジスタ $Q_{p1}$ 、 $Q_{p2}$ は第3図及び第4図に示すようにpウェル1が選択的に形成されたn型シリコン基板2のフィールド酸化膜3で分離された島状の該n型シリコン基板2領域に夫々形成されている。一方のトランジスタ $Q_{p1}$ は、前記島状の基板2領域に互いに電気的に分離して形成されたp<sup>+</sup>型のソース4<sub>1</sub>、ドレイン領域5<sub>1</sub>と、これらソース、ドレイン領域4<sub>1</sub>、5<sub>1</sub>間のチャンネル領域を含む

基板2上にゲート酸化膜6を介して配置され、前記nチャンネルMOSトランジスタ $Qn_1$ のゲートと共通化される例えばリングドープされた第1層n型多結晶シリコンからなるゲート電極7<sub>1</sub>とから構成されている。他方のトランジスタ $Qp_2$ は、前記島状の基板2領域に互いに電気的に分離して形成された前記p<sup>+</sup>型のソース4<sub>1</sub>及びドレイン領域5<sub>2</sub>と、これらソース、ドレイン領域4<sub>1</sub>、5<sub>2</sub>間のチャンネル領域を含む基板2上にゲート酸化膜6を介して配置され、前記nチャンネルMOSトランジスタ $Qn_2$ のゲートと共通化される例えばリングドープされた第1層n型多結晶シリコンからなるゲート電極7<sub>2</sub>とから構成されている。なお、前記p<sup>+</sup>型ソース領域4<sub>1</sub>は前記トランジスタ $Qp_1$ と $Qp_2$ の両者に共通化され、VDDラインとして機能する。また、前記トランジスタ $Qn_1$ 、 $Qn_2$ は、フィールド酸化膜3で分離された島状のp-ウェル1領域に夫々形成されている。一方のトランジスタ $Qn_1$ は、前記島状のp-ウェル1領域に互いに電気的に分離

して形成されたn<sup>+</sup>型のソース4<sub>2</sub>、ドレイン領域5<sub>3</sub>と、これらソース、ドレイン領域4<sub>2</sub>、5<sub>3</sub>間のチャンネル領域を含むウェル1上にゲート酸化膜(図示せず)を介して配置され、前記第1層n型多結晶シリコンからなるゲート電極7<sub>1</sub>とから構成されている。他方のトランジスタ $Qn_2$ は、前記島状のp-ウェル1領域に互いに電気的に分離して形成されたn<sup>+</sup>型のソース4<sub>3</sub>、ドレイン領域5<sub>4</sub>と、これらソース、ドレイン領域4<sub>3</sub>、5<sub>4</sub>間のチャンネル領域を含むウェル1上にゲート酸化膜(図示せず)を介して配置され、前記第1層n型多結晶シリコンからなるゲート電極7<sub>2</sub>とから構成されている。更に、前記トランジスタとしての一方のトランジスタ $Qn_3$ は、第4図に示すように島状のウェル1領域に互いに電気的に分離された前記ドレイン領域5<sub>3</sub>と共通のn<sup>+</sup>型のソース領域及びドレイン領域5<sub>5</sub>と、これらソース、ドレイン領域(5<sub>3</sub>)、5<sub>5</sub>間のチャンネル領域を含むウェル1領域にゲート酸化膜6を介して配置され、他方のトランジスタ

$Qn_4$ と共通化される例えばリングドープされた第1層n型多結晶シリコンからなるゲート電極7<sub>3</sub>とから構成されている。前記他方のトランジスタ $Qn_4$ は、島状のウェル1領域に互いに電気的に分離された前記ドレイン領域5<sub>4</sub>と共通のn<sup>+</sup>型のソース領域及びドレイン領域5<sub>5</sub>と、これらソース、ドレイン領域(5<sub>4</sub>)、5<sub>5</sub>間のチャンネル領域を含むウェル1領域にゲート酸化膜(図示せず)を介して配置され、前記第1層n型多結晶シリコンからなるゲート電極7<sub>3</sub>とから構成されている。なお、前記ゲート電極7<sub>3</sub>はワードラインWLとして機能する。

また、前記ゲート電極7<sub>1</sub>～7<sub>3</sub>を含む基板2上には、第1層の層間絶縁膜としての第1のCVD-SiO<sub>2</sub>膜8<sub>1</sub>が被覆されており、かつ該CVD-SiO<sub>2</sub>膜8<sub>1</sub>上には前記第1層n型多結晶シリコンと同導電型の不純物(リン)がドープされた第2層n型多結晶シリコンからなるVDD電源用配線9<sub>1</sub>、9<sub>2</sub>が配設されている。これらVDD電源用配線9<sub>1</sub>、9<sub>2</sub>は前記第1のCVD

-SiO<sub>2</sub>膜8<sub>1</sub>に開口されたコンタクトホール10<sub>1</sub>、10<sub>2</sub>を介して前記トランジスタ $Qn_1$ 、 $Qn_2$ のソース領域4<sub>2</sub>、4<sub>3</sub>に接続されている。なお、VDD電源用配線9<sub>1</sub>、9<sub>2</sub>は夫々隣接するメモリのセルの配線を兼ねているため、各メモリセルに一つ配置されることになる。そして、前記VDD電源用配線9<sub>1</sub>、9<sub>2</sub>を含む第1のCVD-SiO<sub>2</sub>膜8<sub>1</sub>上には、第2層の層間絶縁膜としての第2のCVD-SiO<sub>2</sub>膜8<sub>2</sub>が被覆されており、かつ該第2のCVD-SiO<sub>2</sub>膜8<sub>2</sub>上には一対の交差用A<sub>2</sub>配線11<sub>1</sub>、11<sub>2</sub>が夫々前記島状の基板2領域及び島状のウェル1領域を横切るように配設されている。一方の交差用A<sub>2</sub>配線11<sub>1</sub>は、第3図及び第4図に示すように第1、第2のCVD-SiO<sub>2</sub>膜8<sub>1</sub>、8<sub>2</sub>に互って開口されたコンタクトホール10<sub>3</sub>、10<sub>4</sub>、10<sub>5</sub>を介して前記トランジスタ $Qp_1$ のドレイン領域5<sub>1</sub>、前記ゲート電極7<sub>2</sub>のフィールド酸化膜3上に延出した延出部7a及び前記トランジスタ $Qn_1$ のドレイン領域5<sub>3</sub>に夫々接続されて

いる。他方の交差用A配線112は第1、第2のCVD-SiO<sub>2</sub>膜81、82に互って開口されたコンタクトホール106、107、108を介して前記トランジスタQp2のドレイン領域52、前記ゲート電極71のフィールド酸化膜3上に延出した延出部7b及び前記トランジスタQn2のドレイン領域54に夫々接続されている。こうした交差用A配線111、112を設けることによって、前記他方のCMOSインバータを構成するトランジスタQp2、Qn2のゲート電極72は、一方のCMOSインバータを構成するトランジスタQp1、Qn1のドレイン領域51、53に該交差用A配線111及びコンタクトホール103～105を通して交差接続され、かつ一方のCMOSインバータを構成するトランジスタQp1、Qn1のゲート電極71は、他方のCMOSインバータを構成するトランジスタQp2、Qn2のドレイン領域52、54に該交差用A配線112及びコンタクトホール106～108を通して交差接続され、これにより前記各CMO

Sインバータが互いに交差接続されたフリップフロップ回路が実現される。また、前記第2のCVD-SiO<sub>2</sub>膜82上には、ビットラインとしてのA配線121、122(BL1、BL2)が配設されており、これらA配線121、122は前記第1、第2のCVD-SiO<sub>2</sub>膜81、82に互って開口されたコンタクトホール109、108を介して前記トランジスタQn3、Qn4のドレイン領域55、56に夫々接続されている。なお、図中の13は前記交差用A配線111、112及びA配線121、122を含む第2のCVD-SiO<sub>2</sub>膜82上に被覆された保護膜である。

ところで、CMOSは周知のようにラッチアップ現象を伴う。これを第5図に示すCMOS構造のラッチアップ現象、つまりサイリスタ効果を示す模式図及び第6図に示すその等価回路図を参照して説明する。

第5図中の21は、n型シリコン基板であり、この基板21表面にはpウェル22が選択的に

設けられている。この基板21のウェル22を含む表面には素子領域を分離するためのフィールド酸化膜23が形成されている。前記フィールド酸化膜23で分離された前記基板21領域には、互いに電気的に分離されたp<sup>+</sup>型のソース、ドレイン領域241、251が設けられている。このソース領域241に隣接した基板21領域には該基板21をバイアスするためのn<sup>+</sup>型拡散領域261が形成されている。前記ソース、ドレイン領域241、251間のチャンネル領域を含む基板21上にはゲート酸化膜27を介して多結晶シリコンからなるゲート電極281が設けられている。また、前記フィールド酸化膜23で分離された島状のpウェル22領域には互いに電気的に分離されたp<sup>+</sup>型のソース、ドレイン領域242、252が設けられている。このソース領域242に隣接したウェル22の領域には該ウェル22をバイアスするためのp<sup>+</sup>型拡散領域262が設けられている。前記ソース、ドレイン領域242、252間のチャンネル領域を含むウェル22上に

はゲート酸化膜27を介して多結晶シリコンからなるゲート電極282が設けられている。また、前記ゲート電極281、282を含む基板21全面には層間絶縁膜29が被覆されている。この層間絶縁膜29上には、前記p<sup>+</sup>型ソース領域241とn<sup>+</sup>型拡散領域261の両者にコンタクトホールを介して接続されたソースA配線30、前記ドレイン領域251とコンタクトホールを介して接続されたドレインA配線31及び前記ゲート電極281とコンタクトホールを介して接続されたゲートA配線32が夫々設けられている。また、前記層間絶縁膜29上には、前記n<sup>+</sup>型のソース領域242とp<sup>+</sup>型拡散領域262との両者にコンタクトホールを介して接続されたソースA配線33、前記ドレイン領域252にコンタクトホールを介して接続されたドレインA配線34及び前記ゲート電極282にコンタクトホールを介して接続されたゲートA配線35が夫々設けられている。なお、前記ゲートA配線32、35はVin側となり、前記ドレインA配線31、

34は $V_{out}$ となり、前記pチャンネルMOSトランジスタのソースA&配線30は $V_{DD}$ に、前記nチャンネルMOSトランジスタのソースA&配線33は $V_{SS}$ に夫々接続されている。こうしたCMOS構造においてはnチャンネルMOSトランジスタの $n^+$ 型ソース領域241とp-ウェル22とn型シリコン基板21を夫々エミッタ、ベース、コレクタとする寄生npnトランジスタ $Q_n$ 、並びにpチャンネルMOSトランジスタの $p^+$ 型ソース領域242とn型シリコン基板21とp-ウェル22を夫々エミッタ、ベース、コレクタとする寄生pnpトランジスタ $Q_p$ が形成され、CMOSの動作時に以下に示すようにラッチアップ現象を生じる。

CMOSインバータの高集積化により各MOSトランジスタのソース、ドレイン領域241、242、251、252が微細化されると、例えばnチャンネルMOSトランジスタをオンさせた場合、該ドレイン領域252近傍にインバクタイオニゼーションによってホールが発生してp-

ウェル22の電位を上昇させる。p-ウェル22の電位が上昇すると、ウェル22をベースとする前記寄生npnトランジスタ $Q_n$ がバイポーラアクションを起こし、該トランジスタ $Q_n$ のコレクタ電流 $I_{R8}$ がn型の基板21中を流れる。このコレクタ電流 $I_{R8}$ は $V_{DD}$ 側にあるn型シリコン基板21の抵抗 $R_S$ を流れることになるため、前述した寄生pnpトランジスタ $Q_p$ のベース電位を下げることになって該トランジスタ $Q_p$ をバイポーラアクションさせる。その結果、同トランジスタ $Q_p$ のコレクタ電流 $I_{RW}$ が流れるようになる。そして、このコレクタ電流 $I_{RW}$ はp-ウェル22の中を流れ、その抵抗 $R_W$ により前述した寄生npnトランジスタ $Q_n$ のベース電位を上昇させることになり、前記インバクタイオニゼーションが起きなくなった後でも、前記ベース電位の上昇により該トランジスタ $Q_n$ をバイポーラアクションさせる。このトランジスタ $Q_n$ のバイポーラアクションにより、そのコレクタ電流 $I_{RW}$ は更に前記寄生pnpトランジスタ $Q_p$ の

ベース電位を下げ、該トランジスタ $Q_p$ のコレクタ電流 $I_{RW}$ を流れ易くし、これによって寄生npnトランジスタ $Q_n$ のベース電位を更に上昇させ、該トランジスタ $Q_n$ のコレクタ電流を更に大きくするという正帰還により $V_{DD}$ から $V_{SS}$ へ大きな電流が流れることになる。かかるラッチアップ電流により、CMOSは動作しなくなるばかりか、CMOSを有する集積回路(スタティックメモリ)は大電流により熱的に破壊されてしまう。このような、ラッチアップ耐量を向上させる有効な手段としては、第5図及び第6図に示す $R_S$ (n型シリコン基板21の抵抗)や $R_W$ (p-ウェル22の抵抗)を小さくすることである。具体的には、p-ウェルに形成される該ウェルをバイアスするための $p^+$ 型拡散領域を各CMOSインバータ毎に設け、かつ各拡散領域をバイアスするための配線を接続することによって、該ウェルの抵抗を下げるようにすればよい。

しかして、前述した第2図～第4図図示のスタティックメモリのメモリセルは、一対のCMOS

インバータを互いに交差接続してフリップフロップ回路を構成する目的で、第2のCVD-SiO<sub>2</sub>膜82上に一対の交差用A&配線111、112を設けているので、該第2のCVD-SiO<sub>2</sub>膜82上のメモリセルのピッチ幅を決定するA配線密度が低下する。このため、第1のCVD-SiO<sub>2</sub>膜81上に $V_{SS}$ 電源用配線91、92を第2層n型多結晶シリコンにより形成して、第2のCVD-SiO<sub>2</sub>膜82上でのA&配線の密度低下を補っている。かかる、n型多結晶シリコンからなる $V_{SS}$ 電源用配線 $1-1/1$ 、 $1-1/2$ は該多結晶シリコン中のn型不純物と同導電型の拡散領域、つまり第2図～第4図に示す如くnチャンネルMOSトランジスタ $Q_n$ や同チャンネルのトランジスタ $Q_n$ の $n^+$ 型ソース領域42、43に対してはオーミックコンタクトすることができる。しかしながら、該 $V_{SS}$ 電源用配線 $1-1/1$ 、 $1-1/2$ を例えばp-ウェル1に形成した該ウェル1をバイアスするための $p^+$ 型拡散領域に前記ソース領域と共に共通に接続して、そのウ

セル1の抵抗を下げ、ラッチアップ耐量を向上しようとする、該n型多結晶シリコンからなるV<sub>ss</sub>電源用配線と該p<sup>+</sup>型拡散領域とのコンタクト部にpn接合が形成されて良好なオーミックコンタクトを取ることが困難となる。その結果、第2図～第4図図示のスタティックメモリでは、前記ウェルバイアス用のA<sub>2</sub>配線を形成するためのエリアをメモリセル領域とは別の領域に例えば8セル毎に設けている。従って、従来のスタティックメモリでは各メモリセル毎に4本(交差接続用が2本、ビットラインが2本)のA<sub>2</sub>配線が第2のCVD-SiO<sub>2</sub>膜上に横切っている、メモリセルのピッチ幅が増大し、かつ前記ウェルバイアス用のA<sub>2</sub>配線を形成するためのエリアをメモリセル領域とは別の領域に設けるので、メモリ自体の面積が増大してトータルのメモリ集積度が低下する。更に、8メモリセル毎にしかウェルバイアス用のA<sub>2</sub>配線を形成できないので、ラッチアップ耐量を十分に向上できない。

このようなことから、第7図～第9図に示すよ

うに第2層多結晶シリコンで一對のCMOSインバータを互いに交差接続するスタティックメモリのメモリセルが試みられている。即ち、このメモリセルは第1のCVD-SiO<sub>2</sub>膜8<sub>1</sub>上に第2層多結晶シリコンからなる一對の交差用配線14<sub>1</sub>、14<sub>2</sub>が夫々前記島状の基板2領域及び島状のウェル1領域を横切るように配設されている。一方の交差用配線14<sub>1</sub>は、第8図及び第9図に示すように第1のCVD-SiO<sub>2</sub>膜8<sub>1</sub>に開口されたコンタクトホール15<sub>1</sub>を介して前記トランジスタQ<sub>p1</sub>のp<sup>+</sup>型ドレイン領域5<sub>1</sub>に接続されたp型多結晶シリコンの配線部16aと、同CVD-SiO<sub>2</sub>膜8<sub>1</sub>に開口されたコンタクトホール15<sub>2</sub>、15<sub>3</sub>を介して前記第1層n型多結晶シリコンからなるゲート電極7<sub>2</sub>のフィールド酸化膜3上に延出した延出部7a及び前記トランジスタQ<sub>n1</sub>のn<sup>+</sup>型ドレイン領域5<sub>3</sub>に夫々接続されたn型多結晶シリコンの配線部17aとから構成されている。他方の交差用配線14<sub>2</sub>は第1のCVD-SiO<sub>2</sub>膜8<sub>1</sub>に開口されたコ

ンタクトホール15<sub>4</sub>を介して前記トランジスタQ<sub>p2</sub>のp<sup>+</sup>型ドレイン領域5<sub>2</sub>に接続されたp型多結晶シリコンの配線部16bと、同CVD-SiO<sub>2</sub>膜8<sub>1</sub>に開口されたコンタクトホール15<sub>5</sub>、15<sub>6</sub>を介して前記第1層n型多結晶シリコンからなるゲート電極7<sub>1</sub>のフィールド酸化膜3上に延出した延出部7b及び前記トランジスタQ<sub>n2</sub>のn<sup>+</sup>型ドレイン領域5<sub>4</sub>に夫々接続されたn型多結晶シリコンの配線部17bとから構成されている。更に、前記交差用配線14<sub>1</sub>、14<sub>2</sub>を含む第1のCVD-SiO<sub>2</sub>膜8<sub>1</sub>上には、第2のCVD-SiO<sub>2</sub>膜8<sub>2</sub>が被覆されている。この第2のCVD-SiO<sub>2</sub>膜8<sub>2</sub>上には前記交差用配線14<sub>1</sub>を構成するp型、n型の多結晶シリコンの配線部16a、17a間並びに前記交差用配線14<sub>2</sub>を構成するp型、n型の多結晶シリコンの配線部16b、17b間に夫々形成されるpn接合が電気的に与える悪影響を除去するための一對のA<sub>2</sub>層18<sub>1</sub>、18<sub>2</sub>が設けられている。つまり、一方のA<sub>2</sub>層18<sub>1</sub>は前記p型、

n型の多結晶シリコンの配線部16a、17a間のpn接合部分を含む前記第2のCVD-SiO<sub>2</sub>膜8<sub>2</sub>に開口された細長状のコンタクトホール19<sub>1</sub>を介して前記交差用配線14<sub>1</sub>に接続されている。他方のA<sub>2</sub>層18<sub>2</sub>は前記p型、n型の多結晶シリコンの配線部16b、17b間のpn接合部分を含む前記第2のCVD-SiO<sub>2</sub>膜8<sub>2</sub>に開口された細長状のコンタクトホール19<sub>2</sub>を介して前記交差用配線14<sub>2</sub>に接続されている。

しかしながら、第7図～第9図に示す構造のスタティックメモリでは、セル内のA<sub>2</sub>配線等の密度が前述した第2図～第4図のスタティックメモリに比べて下がっているが、ビットラインとしてのA<sub>2</sub>配線12<sub>1</sub>、12<sub>2</sub>の2本、第2層多結晶シリコンからなる交差用配線14<sub>1</sub>、14<sub>2</sub>のオーミック接続用のA<sub>2</sub>層18<sub>1</sub>、18<sub>2</sub>の2本の計4本が必要であることは変わりなく、これによりA<sub>2</sub>で決定されるメモリセルのピッチ幅を縮小することはできない。従って、かかる構造のスク

ティックメモリにあっても従来のスタティックメモリのセルサイズより縮小することができず、しかも $V_{ss}$ 電源用配線として第2層n型多結晶シリコンを用いているため、ウェルバイアス用のA<sub>2</sub>配線を形成するためのセル領域とは別のエリアを設けることによるメモリ自体の集積度の低下やラッチアップ耐量の十分な向上も改善されない。(発明の目的)

本発明は、メモリセルのピッチ幅及びメモリ自体を微細化できると共に、ラッチアップ耐量を著しく向上した半導体記憶装置を提供しようとするものである。

#### (発明の概要)

本発明は、一対のCMOSインバータを有し、一方のCMOSインバータのゲート電極を他方のCMOSインバータの各トランジスタのドレイン領域に配線を介して互いに交差接続して形成されたフリップフロップ回路と、このフリップフロップ回路の各ノードに接続された一対の転送用MOSトランジスタと、から構成されるメモリセルを

半導体基板上にマトリックス状に集積してなる半導体記憶装置において、前記ゲート電極を第1導電型の不純物を含む第1層多結晶シリコンにより形成し、かつ前記配線を該ゲート電極を覆う第1層の層間絶縁膜上に設けられ、第1導電型のドレイン領域および前記ゲート電極にコンタクトホールを介して接続された第1導電型の不純物を含む第2層多結晶シリコン配線部と、前記層間絶縁膜上に該配線部と連結して設けられ、第2導電型のドレイン領域にコンタクトホールを介して接続される第2導電型の不純物を含む第2層多結晶シリコン配線部と、前記各配線部上に張付けられた金属層とから構成したことを特徴とするものである。かかる構造の半導体記憶装置では、交差用配線を覆う第2層の層間絶縁膜上に一方の電源となる金属配線を設け、かつ該金属配線を、一方のCMOSインバータのソース領域と、このソース領域が形成される基板領域をバイアスするための該ソース領域と反対導電型の拡散領域との両者にコンタクトホールを介して接続することが可能となり、

既述の如くメモリセルのピッチ幅の縮小化、メモリ自体の高集積化を達成できると共に、ラッチアップ耐量を著しく向上することができる。

#### (発明の実施例)

以下、本発明をCMOSスタティックメモリに適用した例について第10図～第12図を参照して詳細に説明する。

図中の $Q_{p1}$ 、 $Q_{n1}$ は、一方のCMOSインバータを形成するpチャンネルMOSトランジスタ、nチャンネルMOSトランジスタ、図中の $Q_{p2}$ 、 $Q_{n2}$ は、他方のCMOSインバータを形成するpチャンネルMOSトランジスタ、nチャンネルMOSトランジスタであり、これらCMOSインバータは一方のゲートを他方の共通のドレイン部分に互いに交差接続することによりフリップフロップ回路を構成している。また、図中の $Q_{n3}$ 、 $Q_{n4}$ は前記各nチャンネルMOSトランジスタ $Q_{n1}$ 、 $Q_{n2}$ のドレイン側に接続されたトランスファゲートとしてのnチャンネルMOSトランジスタである。

前記pチャンネルMOSトランジスタ $Q_{p1}$ 、 $Q_{p2}$ は第11図及び第12図に示すようにpウェル51が選択的に形成されたn型シリコン基板52のフィールド酸化膜53で分離された島状の該n型シリコン基板52領域に夫々形成されている。一方のトランジスタ $Q_{p1}$ は、前記島状の基板52領域に互いに電気的に分離して形成されたp<sup>+</sup>型のソース54<sub>1</sub>、ドレイン領域55<sub>1</sub>と、これらソース、ドレイン領域54<sub>1</sub>、55<sub>1</sub>間のチャンネル領域を含む基板52上にゲート酸化膜56を介して配置され、前記nチャンネルMOSトランジスタ $Q_{n1}$ のゲートと共通化される例えばリンがドーブされた第1層n型多結晶シリコンからなるゲート電極57<sub>1</sub>とから構成されている。他方のトランジスタ $Q_{p2}$ は、前記島状の基板52領域に互いに電気的に分離して形成された前記p<sup>+</sup>型のソース54<sub>1</sub>及びドレイン領域55<sub>2</sub>と、これらソース、ドレイン領域54<sub>1</sub>、55<sub>2</sub>間のチャンネル領域を含む基板52上にゲート酸化膜56を介して配置され、前記nチャンネルMOS



トランジスタ $Q_{n2}$ のゲートと共通化される例えばリングドープされた第1層 $n$ 型多結晶シリコンからなるゲート電極572とから構成されている。なお、前記 $p^+$ 型ソース領域541は前記トランジスタ $Q_{p1}$ と $Q_{p2}$ の両者に共通化され、 $V_{DD}$ ラインとして機能する。また、前記トランジスタ $Q_{n1}$ 、 $Q_{n2}$ は、フィールド酸化膜53で分離された島状の $p$ -ウェル51領域に夫々形成されている。一方のトランジスタ $Q_{n1}$ は、前記島状の $p$ -ウェル51領域に互いに電気的に分離して形成された $n^+$ 型のソース領域542、ドレイン領域553と、これらソース、ドレイン領域542、553間のチャンネル領域を含むウェル51上にゲート酸化膜(図示せず)を介して配置され、前記第1層 $n$ 型多結晶シリコンからなるゲート電極571とから構成されている。他方のトランジスタ $Q_{n2}$ は、前記島状の $p$ -ウェル51領域に互いに電気的に分離して形成された $n^+$ 型のソース領域543、ドレイン領域554と、これらソース、ドレイン領域543、554間の

チャンネル領域を含むウェル51上にゲート酸化膜(図示せず)を介して配置され、前記第1層 $n$ 型多結晶シリコンからなるゲート電極572とから構成されている。前記トランスファゲートとしての一方のトランジスタ $Q_{n3}$ は、第12図に示すように島状のウェル51領域に互いに電気的に分離された前記ドレイン領域553と共通の $n^+$ 型のソース領域及びドレイン領域555と、これらソース、ドレイン領域(553)、555間のチャンネル領域を含むウェル51領域にゲート酸化膜56を介して配置され、他方のトランジスタ $Q_{n4}$ と共通化されるリングドープされた第1層 $n$ 型多結晶シリコンからなるゲート電極573とから構成されている。前記他方のトランジスタ $Q_{n4}$ は、島状のウェル51領域に互いに電気的に分離された前記ドレイン領域554と共通の $n^+$ 型のソース領域及びドレイン領域556と、これらソース、ドレイン領域(554)、556間のチャンネル領域を含むウェル51領域にゲート酸化膜を介して配置され、前記第1層 $n$ 型多結

晶シリコンからなるゲート電極573とから構成されている。なお、前記ゲート電極573はワードライン $WL$ として機能する。前記 $n^+$ 型のソース領域542、543に隣接する $p$ -ウェル51には、ウェルバイアス用の $p^+$ 型拡散領域581、582が夫々設けられている。

また、前記ゲート電極571~573を含む基板52上には、第1層の層間絶縁膜としての第1の $CVD-SiO_2$ 膜591が被覆されている。そして、この $CVD-SiO_2$ 膜591上には一対の交差用配線601、602が夫々前記島状の基板52領域及び島状のウェル51領域を横切るように配設されている。一方の交差用配線601は、第10図~第12図に示すように第1の $CVD-SiO_2$ 膜591に開口されたコンタクトホール611を介して前記トランジスタ $Q_{p1}$ の $p^+$ 型ドレイン領域551に接続された $p$ 型多結晶シリコン配線部62aと、同 $CVD-SiO_2$ 膜591に開口されたコンタクトホール612、613を介して前記第1層 $n$ 型多結晶シリコンか

らなるゲート電極572のフィールド酸化膜53上に延出した延出部57a及び前記トランジスタ $Q_{n1}$ の $n^+$ 型ドレイン領域553に夫々接続された $n$ 型多結晶シリコン配線部63aと、これら配線部62a、63a上に張付けて配置されたタングステン層64aとから構成されている。他方の交差用配線602は第1の $CVD-SiO_2$ 膜591に開口されたコンタクトホール614を介して前記トランジスタ $Q_{p2}$ の $p^+$ 型ドレイン領域552に接続された $p$ 型多結晶シリコン配線部62bと、同 $CVD-SiO_2$ 膜591に開口されたコンタクトホール615、616を介して前記第1層 $n$ 型多結晶シリコンからなるゲート電極571のフィールド酸化膜53上に延出した延出部57b及び前記トランジスタ $Q_{n2}$ の $n^+$ 型ドレイン領域554に夫々接続された $n$ 型多結晶シリコン配線部63bと、これら配線部62b、63b上に張付けて設けられたタングステン層64bとから構成されている。こうした交差用配線601、602を設けることによって、前記他方

のCMOSインバータを構成するトランジスタQ<sub>p2</sub>、Q<sub>n2</sub>のゲート電極57<sub>2</sub>は、一方のCMOSインバータを構成するトランジスタQ<sub>p1</sub>、Q<sub>n1</sub>のドレイン領域55<sub>1</sub>、55<sub>3</sub>に該交差用配線60<sub>1</sub>及びコンタクトホール61<sub>1</sub>、61<sub>2</sub>、61<sub>3</sub>を通して交差接続され、かつ一方のCMOSインバータを構成するトランジスタQ<sub>p1</sub>、Q<sub>n1</sub>のゲート電極57<sub>1</sub>は、他方のCMOSインバータを構成するトランジスタQ<sub>p2</sub>、Q<sub>n2</sub>のドレイン領域55<sub>2</sub>、55<sub>4</sub>に該交差用配線60<sub>2</sub>コンタクトホール61<sub>4</sub>、61<sub>5</sub>、61<sub>6</sub>を通して交差接続され、これにより前記各CMOSインバータが互いに交差接続されたフリップフロップ回路が実現される。

また、前記交差用配線60<sub>1</sub>、60<sub>2</sub>を含む前記第1のCVD-SiO<sub>2</sub>膜59<sub>1</sub>上には第2の層間絶縁膜としての第2のCVD-SiO<sub>2</sub>膜59<sub>2</sub>が被覆されている。この第2のCVD-SiO<sub>2</sub>膜59<sub>2</sub>上にはV<sub>ss</sub>電源用A<sub>2</sub>配線65<sub>1</sub>、65<sub>2</sub>が配設されている。各A<sub>2</sub>配線

65<sub>1</sub>、65<sub>2</sub>は前記第1、第2のCVD-SiO<sub>2</sub>膜59<sub>1</sub>、59<sub>2</sub>に亘って開口されたコンタクトホール61<sub>7</sub>、61<sub>8</sub>を介して前記トランジスタQ<sub>n1</sub>、Q<sub>n2</sub>のn<sup>+</sup>型ソース領域54<sub>2</sub>、54<sub>3</sub>及びp<sup>+</sup>型拡散領域58<sub>1</sub>、58<sub>2</sub>の両者に夫々接続されている。なお、前記A<sub>2</sub>配線65<sub>1</sub>、65<sub>2</sub>は夫々隣接するメモリセルの配線を兼ねているため、各メモリセルに一つ配置されることになる。また、前記第2のCVD-SiO<sub>2</sub>膜58<sub>2</sub>上には、ビットラインとしてのA<sub>2</sub>配線66<sub>1</sub>、66<sub>2</sub>(BL<sub>1</sub>、BL<sub>2</sub>)が配設されており、これらA<sub>2</sub>配線66<sub>1</sub>、66<sub>2</sub>は前記第1、第2のCVD-SiO<sub>2</sub>膜59<sub>1</sub>、59<sub>2</sub>に亘って開口されたコンタクトホール61<sub>9</sub>、61<sub>10</sub>を介して前記トランジスタQ<sub>n3</sub>、Q<sub>n4</sub>のドレイン領域55<sub>5</sub>、55<sub>6</sub>に夫々接続されている。なお、図中の67は全面に被覆された保護膜である。

しかして、本発明によれば、一対のCMOSインバータを互いに交差接続する一方の交差用配線

60<sub>1</sub>として、第10図～第12図に示すように第1のCVD-SiO<sub>2</sub>膜59<sub>1</sub>に開口されたコンタクトホール61<sub>1</sub>を介して前記トランジスタQ<sub>p1</sub>のp<sup>+</sup>型ドレイン領域55<sub>1</sub>に接続されたp型多結晶シリコン配線部62aと、同CVD-SiO<sub>2</sub>膜59<sub>1</sub>に開口されたコンタクトホール61<sub>2</sub>、61<sub>3</sub>を介して前記第1層n型多結晶シリコンからなるゲート電極57<sub>2</sub>のフィールド酸化膜53上に延出した延出部57a及び前記トランジスタQ<sub>n1</sub>のn<sup>+</sup>型ドレイン領域55<sub>3</sub>に夫々接続されたn型多結晶シリコン配線部63aと、これら配線部62a、63a上に張付けて配置されたタングステン層64aとから構成されたものを用いている。また、他方の交差用配線60<sub>2</sub>は第1のCVD-SiO<sub>2</sub>膜59<sub>1</sub>に開口されたコンタクトホール61<sub>4</sub>を介して前記トランジスタQ<sub>p2</sub>のp<sup>+</sup>型ドレイン領域55<sub>2</sub>に接続されたp型多結晶シリコン配線部62bと、同CVD-SiO<sub>2</sub>膜59<sub>1</sub>に開口されたコンタクトホール61<sub>5</sub>、61<sub>6</sub>を介して前記第1層n型多結晶シ

リコンからなるゲート電極57<sub>1</sub>のフィールド酸化膜53上に延出した延出部57b及び前記トランジスタQ<sub>n2</sub>のn<sup>+</sup>型ドレイン領域55<sub>4</sub>に夫々接続されたn型多結晶シリコン配線部63bと、これら配線部62b、63b上に張付けて設けられたタングステン層64bとから構成されたものを用いている。その結果、交差用配線60<sub>1</sub>、60<sub>2</sub>と互いに導電型の異なるp<sup>+</sup>型、n<sup>+</sup>型のドレイン領域55<sub>1</sub>、55<sub>2</sub>、55<sub>3</sub>、55<sub>4</sub>との間にpn接合が形成されることなく良好なコンタクトを取ることができ、しかもp型多結晶シリコン配線部62a、62bとn型多結晶シリコン配線部63a、63bとの両者の上には、夫々タングステン層64a、64bが張付けられているため、それら異なる導電型の配線部間に形成されるpn接合による電気的な悪影響を解消できる。このため、第1のCVD-SiO<sub>2</sub>膜59<sub>1</sub>上に配置された交差用配線60<sub>1</sub>、60<sub>2</sub>のみでCMOSインバータを互いに交差接続できるので、第2図～第4図に示す従来のメモリセルのように第2

の層間絶縁膜(第2のCVD-SiO<sub>2</sub>膜)上に、  
 一対のCMOSインバータを交差接続するための  
 A<sub>2</sub>配線を設ける必要がなくなり、メモリセルの  
 ピッチ幅を決定するメモリセル上のA<sub>2</sub>配線の余  
 裕度が増大する。その結果、ビットラインとして  
 のA<sub>2</sub>配線66<sub>1</sub>、66<sub>2</sub>と共に第2のCVD-  
 SiO<sub>2</sub>膜59<sub>2</sub>上にV<sub>ss</sub>電源用A<sub>2</sub>配線  
 65<sub>1</sub>、65<sub>2</sub>を配置できる。このようにV<sub>ss</sub>  
 電源用配線65<sub>1</sub>、65<sub>2</sub>をA<sub>2</sub>で形成できるこ  
 とによって、第10図に示すようにnチャンネル  
 MOSトランジスタQn<sub>1</sub>、Qn<sub>2</sub>のソース領域  
 54<sub>2</sub>、54<sub>3</sub>と、これに隣接するp-ウェル5  
 1のウェルバイアス用のp<sup>+</sup>型拡散領域58<sub>1</sub>、  
 58<sub>2</sub>の両者に互ってコンタクトホール61<sub>1</sub>、  
 61<sub>2</sub>を介して良好に接続できる。つまり、  
 V<sub>ss</sub>電源用A<sub>2</sub>配線65<sub>1</sub>、65<sub>2</sub>をウェルバ  
 イアス用配線として兼用できるため、各メモリセ  
 ル毎にウェルバイアスを加えることができる。従  
 って、p-ウェル51へのバイアス点を増加でき、  
 該ウェル51の抵抗を実効的に減少できるため、

ラッチアップ耐量を著しく向上できる。

また、第2図～第4図に示す従来構造のように  
 ウェルバイアス用のA<sub>2</sub>配線を、例えば8セル毎  
 にメモリセルとは別のエリアに配置する必要がな  
 いため、メモリ自体の面積を縮小できる。

更に、第2のCVD-SiO<sub>2</sub>膜59<sub>2</sub>上には、  
 V<sub>ss</sub>電源用A<sub>2</sub>配線65<sub>1</sub>(又は65<sub>2</sub>)の1  
 本と、ビットラインとしてのA<sub>2</sub>配線66<sub>1</sub>、  
 66<sub>2</sub>の2本と計3本であり、従来のメモリセル  
 に比べてA<sub>2</sub>配線を1本減少できるため、メモリ  
 セルのピッチ幅を縮小できる。事実、設計ルール  
 を1.5μmプロセスとした場合、第2図図示の  
 メモリセルのピッチ幅は、17.0μmであるの  
 に対し、本発明の第10図図示のメモリセルでは  
 15.5μmと著しく縮小できる。

なお、上記実施例ではp型多結晶シリコン配線  
 部とn型多結晶シリコン配線部との両者に張付け  
 られる金属層として、タングステンを用いたが、  
 タングステンの代わりにモリブデン、タンタル、  
 白金等から選ばれる高融点金属を用いてもよい。

#### (発明の効果)

以上詳述した如く、本発明によればメモリセル  
 のピッチ幅及びメモリ自体も微細化できると共に、  
 ラッチアップ耐量を著しく向上した高集積度、高  
 信頼性のスタティックメモリ等の半導体記憶装置を  
 提供できる。

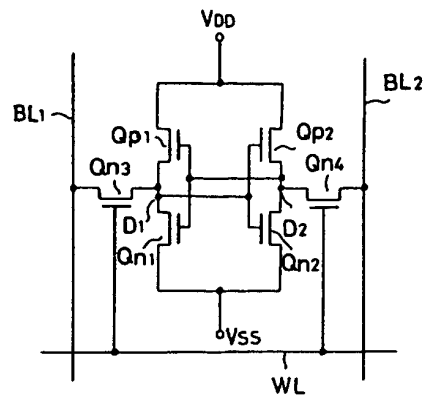
#### 4. 図面の簡単な説明

第1図は一対のCMOSインバータを有する6  
 トランジスタ型のスタティックメモリの等価回路  
 図、第2図は従来のスタティックメモリのメモリ  
 セルを示す平面図、第3図は第2図のX-X線に  
 沿う断面図、第4図は第2図のY-Y線に沿う断  
 面図、第5図はラッチアップ現象を説明するた  
 めのCMOS構造の模式図、第6図は第5図のサイ  
 リスタ効果の等価回路図、第7図は従来の他のス  
 タティックメモリのメモリセルを示す平面図、第  
 8図は第7図のX-X線に沿う断面図、第9図は  
 第7図のY-Y線に沿う断面図、第10図は本発  
 明の一実施例を示すスタティックメモリのメモリ  
 セルの平面図、第11図は第10図のX-X線に

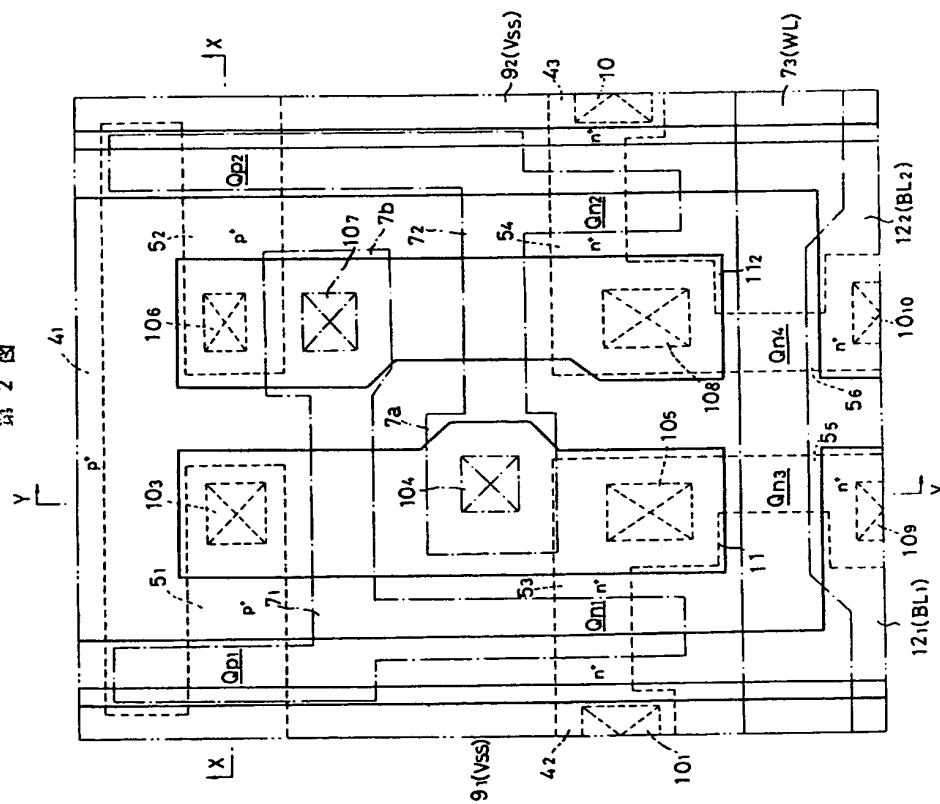
沿う断面図、第12図は第10図のY-Y線に沿  
 う断面図である。

Qp<sub>1</sub>、Qp<sub>2</sub>…pチャンネルMOSトランジ  
 スタ、Qn<sub>1</sub>、Qn<sub>2</sub>、Qn<sub>3</sub>、Qn<sub>4</sub>…nチャ  
 ンネルMOSトランジスタ、51…p-ウェル、  
 52…n型シリコン基板、53…フィールド酸化  
 膜、54<sub>1</sub>、54<sub>2</sub>、54<sub>3</sub>…ソース領域、  
 55<sub>1</sub>、55<sub>2</sub>、55<sub>3</sub>、55<sub>4</sub>、55<sub>5</sub>、  
 55<sub>6</sub>…ドレイン領域、57<sub>1</sub>、57<sub>2</sub>、57<sub>3</sub>  
 …第1層n型多結晶シリコンからなるゲート電極、  
 58<sub>1</sub>、58<sub>2</sub>…ウェルバイアス用のp<sup>+</sup>型拡散  
 領域、59<sub>1</sub>…第1のCVD-SiO<sub>2</sub>膜(第1  
 の層間絶縁膜)、59<sub>2</sub>…第2のCVD-Si  
 O<sub>2</sub>膜(第2の層間絶縁膜)、60<sub>1</sub>、60<sub>2</sub>…  
 交差用配線、61<sub>1</sub>～61<sub>6</sub>…コンタクトホール、  
 62a、62b…p型多結晶シリコン配線部、6  
 3a、63b…n型多結晶シリコン配線部、64  
 a、64b…タングステン層、65<sub>1</sub>、65<sub>2</sub>…  
 V<sub>ss</sub>電源用A<sub>2</sub>配線、66<sub>1</sub>、66<sub>2</sub>…ビット  
 ラインとしてのA<sub>2</sub>配線。

第 1 圖

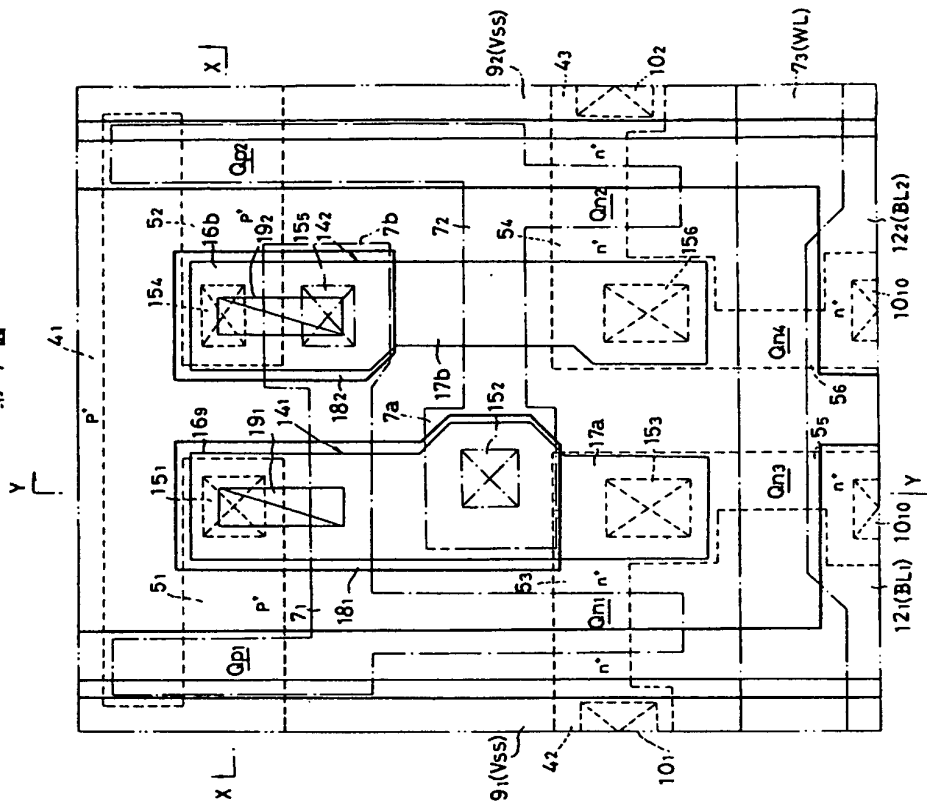


2

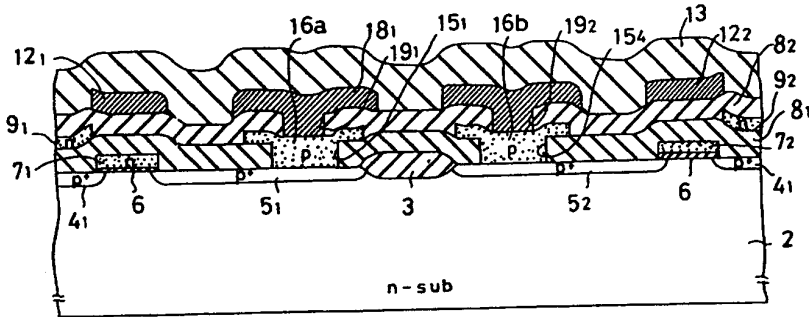




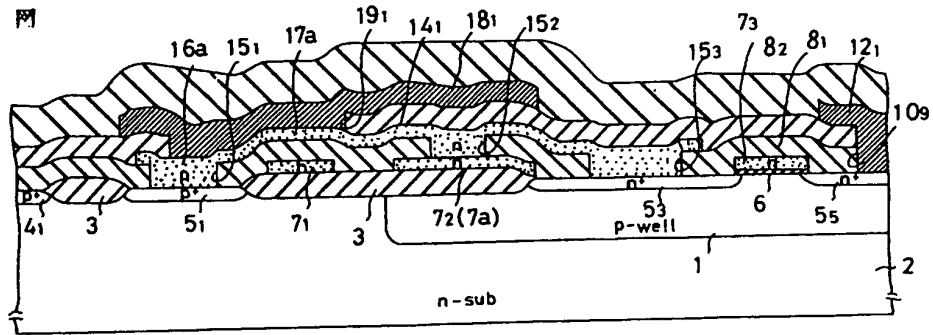
第7圖



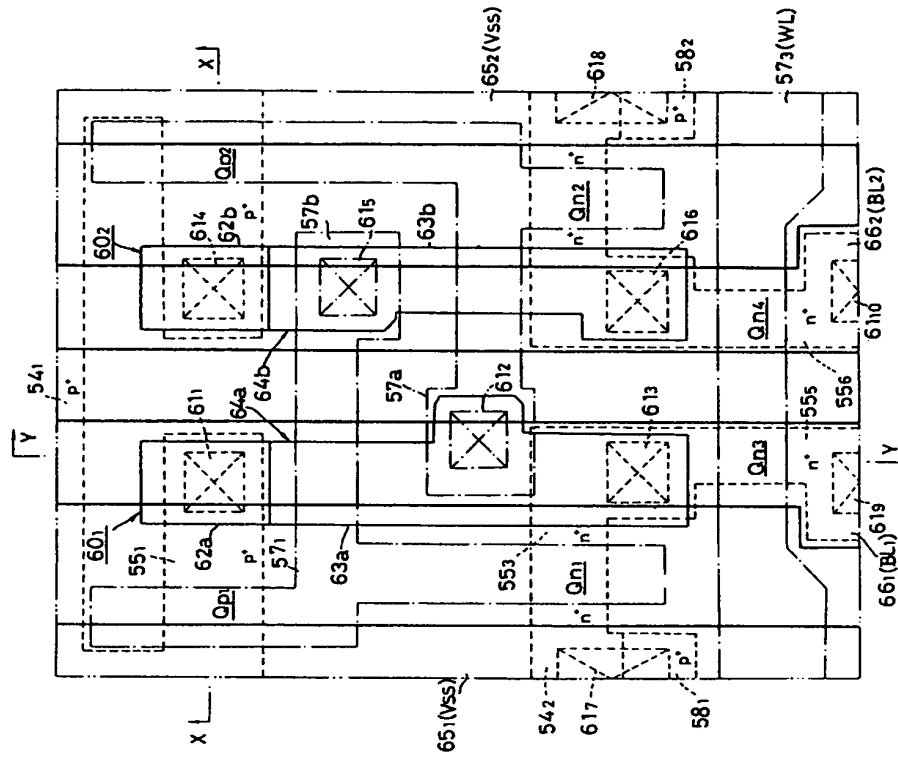
第8圖



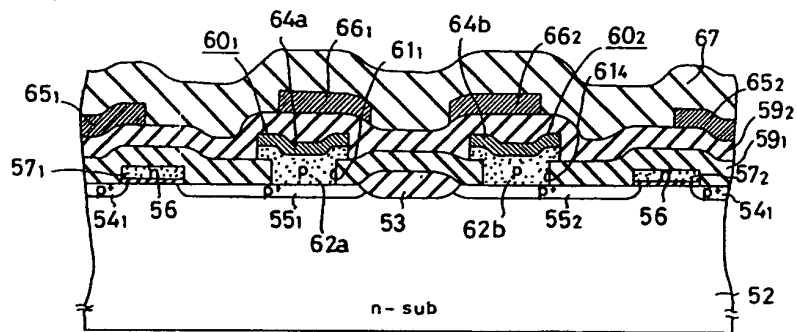
第9圖



第10図



第11図



第12図

